

S20 1 PN="60-100886"
?t 20/5/1

20/5/1
DIALOG(R)File 347:JAPIO
(c) 2002 JPO & JAPIO. All rts. reserv.

01622386 **Image available**
TWO-DIMENSIONAL SOLID-STATE PICKUP DEVICE AND ITS SIGNAL DETECTION METHOD

PUB. NO.: 60-100886 [JP 60100886 A]
PUBLISHED: June 04, 1985 (19850604)
INVENTOR(s): NISHIZAWA JUNICHI
TAMAMUSHI NAOSHIGE
APPLICANT(s): NISHIZAWA JUNICHI [000000] (An Individual), JP (Japan)
APPL. NO.: 58-208116 [JP 83208116]
FILED: November 05, 1983 (19831105)
INTL CLASS: [4] H04N-005/335; H01L-027/14
JAPIO CLASS: 44.6 (COMMUNICATION -- Television); 42.2 (ELECTRONICS --
Solid State Components)
JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
MOS); R098 (ELECTRONIC MATERIALS -- Charge Transfer Elements,
CCD & BBD); R132 (ELECTRONIC MATERIALS -- Electrostatic
Induction Type Transistors, SIT)
JOURNAL: Section: E, Section No. 348, Vol. 09, No. 251, Pg. 85,
October 08, 1985 (19851008)

ABSTRACT

PURPOSE: To make it possible to stably and equally read a picture element area with a large capacity by using the parasitic capacity of the signal read line in an SIT area sensor.

CONSTITUTION: A capacity CSL is a parasitic capacity of a signal read line SLi. The information of an internal picture element C(sub ij) is taken out to a load resistance RL by charging of CSL by a precharge transistor TRQP, the discharge in proportion to the light information of CSL by an address gate pulse .phi.G(sub j) and the re-charge of CSL through a switching TRQS. The electric potential of a line SLi is always charged to the prescribed electric potential through TRQP at the time of reading, and the gate pulse .phi.G(sub j) is addressed from the condition set so that the fixed voltage is added between a drain 30 and a source 32 of SIT. In this way, stable and equal signals can be obtained. In such a way, the picture element area with a large capacity can be stably and equally read.

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭60-100886

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)6月4日

H 04 N 5/335
H 01 L 27/14

6940-5C
7525-5F

審査請求 有 発明の数 3 (全16頁)

⑮ 発明の名称 2次元固体撮像装置及びその信号検出方法

⑯ 特 願 昭58-208116

⑰ 出 願 昭58(1983)11月5日

⑱ 発明者	西 澤 潤 一	仙台市米ヶ袋1丁目6番16号
⑱ 発明者	玉 蟲 尚 茂	仙台市角五郎1丁目3番8号
⑲ 出 願 人	西 澤 潤 一	仙台市米ヶ袋1丁目6番16号

明 細 書

1. 発明の名称 2次元固体撮像装置及びその信号検出方法

2. 特許請求の範囲

(1) ノーマリオフの静電誘導トランジスタとゲートキャパシタ C_g から構成された画素 C_{ij} を、X-Yマトリックスに構成したゲート駆動方式のSITエリ阿森サにおいて、垂直アドレスゲートライン GL_1 、 GL_2 、 GL_3 、…、 GL_n は各 GL_j 上の各画素 C_{ij} 、 C_{2j} 、 C_{3j} 、…、 C_{nj} のゲートにゲートキャパシタ C_g を介して接続され、信号読み出しライン SL_1 、 SL_2 、 SL_3 、…、 SL_n は、各 SL_i ($i=1 \sim n$) 上の各画素 C_{i1} 、 C_{i2} 、 C_{i3} 、…、 C_{in} を構成するSITのドレインに共通に接続され、さらに各信号読み出しラインは接地電位との間に所定のキャパシタ C_{sL} を持ち、かつ、各信号読み出しライン SL_i ($i=1 \sim n$) は、プリチャージトラン

ジスタ Q_p を介して所定の電源電圧 V_{DD} の端子に共通に接続されており、さらに各信号読み出しラインは二つの直列に接続されたスイッチトランジスタ Q_T 及び Q_S を介してビデオ出力ラインに共通に接続され、ビデオ出力ラインに一つの負荷抵抗 R_L 及び一つのビデオ電源 V_{DD} が接続されており、各 Q_T のゲートはすべて共通に接続されておりトランスファパルス ϕ_T が印加されるようになされており、さらに各トランジスタ Q_T のゲート・ソース間には所定のキャパシタ C_T を持たせ、かつソース端子は接地電位との間にキャパシタ $C_{sL'}$ を持ち、各キャパシタの大小関係は、 $C_g < C_{sL'} \approx C_T \leq C_{sL}$ となされており、各アドレスゲートライン GL_1 、 GL_2 、…、 GL_n には垂直シフトレジスタより垂直シフトパルス ϕ_{G1} 、 ϕ_{G2} 、 ϕ_{G3} 、…、 ϕ_{Gm} が印加され、スイッチトランジスタ Q_S のゲートには水平シフトレジスタより、水平

シフトパルス ϕ_{s1} 、 ϕ_{s2} 、 ϕ_{s3} 、…、 ϕ_{sn} が印加されることでX-Yアドレスが行なわれるように構成された2次元固体撮像装置。

- (2) 前記特許請求の範囲第1項記載の2次元固体撮像装置の構成において、信号読み出し時に、予め、トランスファパルス ϕ_T により Q_T をONし、 C_{sL} に並列に $C_{sL'}$ が電気的に接続された状態において、予めプリチャージパルス ϕ_P によって Q_P をONさせて各信号読み出しライン $SL1$ 、 $SL2$ 、 $SL3$ 、…、 SLn のキャパシタ $C_{sL} + C_{sL'}$ をすべて所定の電圧レベルに充電した後、 GLj 上に並んだ画素 C_{ij} 、 C_{2j} 、 C_{3j} 、…、 C_{nj} のゲートにゲートキャパシタ C_G を介してアドレスゲートパルス ϕ_{Gj} を同時に印加することで、上記の各画素のSITを導通させると、各SITのゲートに蓄積されていた光情報の増幅信号に対応した放電 ΔV_{sL} が $C_{sL} + C$

sL' の一定電圧レベル V_{sL} から行なわれ、この後、 ϕ_T を切って Q_T をOFFした後、順次水平シフトパルス ϕ_{s1} 、 ϕ_{s2} 、 ϕ_{s3} 、…、 ϕ_{sn} を各スイッチトランジスタ Q_s のゲートに印加することによって、キャパシタ $C_{sL'}$ の放電量をビデオ電圧 V_{PD} から負荷抵抗 R_L を介して再充電を行なうことで、出力端子には、各画素 C_{ij} 、 C_{2j} 、 C_{3j} 、…、 C_{nj} の情報が順次得られ、以上の動作で一水平読み出し動作が完了し、次に同様にして、垂直アドレスゲートライン $GLj+1$ 上の各画素 $C_{i,j+1}$ 、 $C_{2,j+1}$ 、 $C_{3,j+1}$ 、…、 $C_{n,j+1}$ の画素信号が次の水平期間において順次読み出され、このようにして順次すべての画素を読み出す2次元固体撮像装置の信号検出方法。

- (3) 水平電荷期間においてアドレスゲートパルス ϕ_{Gj} ($j=1 \sim n$)の高さよりも高いリフレッシュゲートパルス ϕ_{GR} がアドレスゲートライン $GL1$ 、 $GL2$ 、…、 GL

■上のアドレスゲートパルス ϕ_{G1} 、 ϕ_{G2} 、 ϕ_{G3} 、…、 ϕ_{Gm} に付加されることを特徴とする前記特許請求の範囲第2項記載の信号検出方法。

- (4) ノーマリオフの静電誘導トランジスタとゲートキャパシタ C_G から構成された画素 C_{ij} をX-Yマトリックスに構成したゲート駆動方式のSITエリアセンサにおいて、垂直アドレスゲートライン $GL1$ 、 $GL2$ 、 $GL3$ 、…、 GLn は各 GLj 上の各画素 C_{ij} 、 C_{2j} 、 C_{3j} 、…、 C_{nj} のゲートにゲートキャパシタ C_G を介して接続され、信号読み出しライン $SL1$ 、 $SL2$ 、 $SL3$ 、…、 SLn は各 SLi ($i=1 \sim n$)上の各画素 C_{i1} 、 C_{i2} 、 C_{i3} 、…、 C_{im} を構成するSITのドレインに共通に接続され、さらに各信号読み出しラインは接地電位との間に所定のキャパシタ C_{sL} を持ち、かつ、各信号読み出しライン SLi ($i=1 \sim n$)は、プリチャージトランジス

タ Q_P を介して所定の電源電圧 V_{PD} 端子に共通に接続されており、さらに各信号読み出しラインは二つの直列に接続されたスイッチトランジスタ Q_P 及び Q_S を介して水平信号伝送用CCDの蓄積領域へ接続されており、各 Q_T のゲートはすべて共通に接続されてトランスファパルス ϕ_T が同時に印加されるようになされて、さらに各トランジスタ Q_T のゲート・ソース間には所定のキャパシタ C_T を持たせ、かつソース端子は接地電位との間にキャパシタ $C_{sL'}$ を持ち、各キャパシタの大小関係は $C_G < C_{sL'} \approx C_T \leq C_{sL}$ となされており、さらに、各スイッチトランジスタ Q_s のゲートもすべて共通に接続されて、トランスファパルス ϕ_{G0} が同時に印加されるようになされており各アドレスゲートライン $GL1$ 、 $GL2$ 、…、 GLn に垂直シフトレジスタより垂直シフトパルス ϕ_{G1} 、 ϕ_{G2} 、 ϕ_{G3} 、…、 ϕ_{Gm} が印加される毎に画素列 C_{ij}

、 C_{2j} 、 C_{3j} 、…、 C_{nj} の画像情報はスイッチトランジスタ Q_{α} 及び Q_{β} の開閉によってCCDに並列に入力され、一水平期間内において一列の画素列の転送を完了し、順次(C_{1j+1} 、 C_{2j+1} 、 C_{3j+1} 、…、 C_{nj+1})、(C_{1j+2} 、 C_{2j+2} 、 C_{3j+2} 、…、 C_{nj+2})、…(C_{1m} 、 C_{2m} 、 C_{3m} 、…、 C_{nm})と一水平期間毎に上記画素列のCCD内における転送を行なうことでCCD出力端子に順次画素情報を得る2次元固体撮像装置の信号検出方法。

3. 発明の詳細な説明

本願発明は静電誘導トランジスタを用いたゲート蓄積方式の2次元固体撮像装置に関するもので、X-Yアドレス方式における信号読み出し線のキャパシタを利用する読み出し方式により高速、大容量の固体撮像装置を提供するものである。

従来の静電誘導トランジスタ(以下SITという)を用いたゲート蓄積方式による2次元固

体撮像装置(SITエリアセンサ)の構成の代表的なものは第1図のように表わされる。 GL_1 、 GL_2 、 GL_3 、…、 GL_n は、各画素のマトリックス $[C_{ij}]$ へのアドレスゲートライン(垂直信号アドレスライン)を示し、 SL_1 、 SL_2 、 SL_3 、…、 SL_n は、各画素のマトリックス $[C_{ij}]$ からの信号出力ライン(信号読み出しライン、水平信号出力ライン)を示している。各画素のゲートはゲートキャパシタ C_g を介して垂直信号アドレスライン GL_j へ共通に接続され、ドレインは水平信号出力ライン SL_i へ共通に接続され、かつ各水平信号出力ライン SL_i はスイッチMOSQsを介してビデオ出力ライン3に共通に接続されている。各画素 $[C_{ij}]$ の信号読み出しは、垂直シフトレジスタ1から各アドレスゲートラインへ出力される垂直シフトパルス ϕ_{g1} 、 ϕ_{g2} 、 ϕ_{g3} 、…、 ϕ_{gm} と、各水平信号出力ライン SL_i を選択するための水平シフトレジスタ2よりスイッチMOSQsのゲートへ出力される水平シフトパル

ス ϕ_{s1} 、 ϕ_{s2} 、 ϕ_{s3} 、…、 ϕ_{sn} のX-Yアドレス方式によって行なわれ、順次各画素の光情報は出力端子4より出力される。ビデオライン3は負荷抵抗 R_L を介してビデオ電圧 V_o にバイアスされており、第1図に示した従来方式では、各画素のSITのドレイン・ソース間を流れる直流電流をX-Yアドレス時に検出している。光情報はSITのゲートキャパシタ C_g に蓄積されており、アドレスゲートパルス ϕ_{gj} の高さが低い場合には非破壊読み出しに近づき、 ϕ_{gj} の高さが2.5V以上となると、破壊読み出しとなる特徴を有する。この場合のパルス幅は100nsec～数 μ secである。各画素 C_{ij} のSITのソース領域は、すべて接地電位になされている。

本願発明者らは第1図の構成のゲート蓄積方式による固体撮像装置の特願昭56-204656号に既に出願し、さらに具体的な信号読み出し方法について改良を加え特願昭57-217758号、特願昭58-21688号及び特

願昭58-26932号に開示している。その信号読み出し方法の一例を第2図、第3図に示す動作波形をもとに説明する。第2図は特願昭56-204656号に示された信号読み出しの動作波形であり、第1図の回路構成において、シフトパルス ϕ_{s1} 、 ϕ_{s2} 、 ϕ_{s3} 、…、 ϕ_{sn} によって信号読み出しライン SL_1 、 SL_2 、 SL_3 、…、 SL_n を一本ずつ選択し、その選択された期間(一水平期間)内においてアドレスゲートパルス ϕ_{g1} 、 ϕ_{g2} 、 ϕ_{g3} 、…、 ϕ_{gm} を各アドレスゲートライン GL_1 、 GL_2 、 GL_3 、…、 GL_n に印加することでX-Yアドレスを行なう動作となっている。第2図の動作波形を用いる読み出し方式においては、特定の画素 C_{ij} を選択するまでに ϕ_{s1} 、 ϕ_{s2} 、…、 ϕ_{si-1} のパルスによって信号読み出しライン SL_1 、 SL_2 、…、 SL_{i-1} が選択されており、上記 ϕ_{s1} 、 ϕ_{s2} 、…、 ϕ_{si-1} の期間内において GL_j のラインには ϕ_{gj} のパルスが $(i-1)$ 回加わっていることになる。一旦 C_{ij} の画素信号が読

み出されてから、次に同一の画素 C_{ij} が読みだされるまでの期間が光積分期間 T_{Li} となるが、上記の読み出し方式では、 $X-Y$ マトリックスにおける信号読み出しラインの数だけアドレスゲートライン GL_j にはアドレスゲートパルス ϕ_{Gj} が印加される。従って、画素 C_{ij} のゲートには非選択時に上記 $(i-1)$ 回のゲートパルス ϕ_{Gj} が加わることから、蓄積状態にあるゲートのキャリアが逃げやすいという欠点が第2図に示した信号読み出し形式には存在する。上記のリーク特性はゲートパルス ϕ_{Gj} の高さと同様に依存し、完全に非破壊読み出しとなる条件が必要である。例えば ϕ_{Gj} の高さは $1V$ 以下、パルス幅も 100 nsec 以下というようにである。上記欠点に鑑み新たに本発明者らは別の信号読み出し方式を特願昭58-21688号、及び特願昭58-26932月に開示した。その一例の動作波形を第3図に示す。第3図の動作波形は、特定の画素 C_{ij} を読み出す際に、初めにアドレスゲートライン GL_j を選択して、ゲート

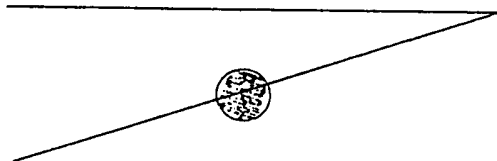
パルス ϕ_{Gj} を加え、次にゲートパルス電圧 V_G が印加されている期間（一水平読み出し期間）内において、信号読み出しライン SL_i を選択してシフトパルス ϕ_{s1} によって、負荷抵抗 R_L を通して電源 V_{DD} から選択された画素 C_{ij} の SIT のドレイン・ソース間に直流電流を流し込み流れる電流を検出する方式である。この方式も、各画素のゲートにキャパシタ C_G を介して加わるパルス ϕ_{Gj} の高さと同様に幅が問題であり、ゲートのパルス電圧 V_G が高くなると、ゲートキャパシタに蓄積されたキャリアが一水平期間内の極く短時間の間にリークしてしまい、 ϕ_{s1} 、 ϕ_{s2} 、…と順次選択されるにつれて後方の画素信号は、蓄積情報がリークされた情報を読み出すことになって、エリアセンサとしての完全な動作とはならなくなる。さらに、一水平期間にわたって、 ϕ_{Gj} によって選択される GL_j 上に並んだ一列の画素 C_{ij} 、 C_{2j} 、…、 C_{ij} 、…、 C_{nj} のゲート電位は、 C_G と入力容量の分割で定まる一定の電位に保持されなければなら

いが、時定数としては一水平期間以上必要であり、蓄積されるゲート部分の電位が変動することから、ゲート電圧 V_G を低く設定してもわずかずつキャリアが流出し、順次 ϕ_{s1} 、 ϕ_{s2} 、…、 ϕ_{sn} と選択するにつれて、後半の方の画素情報程、歪んだものとなりやすいという欠点が存在する。第3図に示す方式では、一水平同期期間においてはゲートパルス ϕ_G は V_G という高いリフレッシュパルスとして、ゲートの蓄積キャリアをリフレッシュする機能が具備されている。

上記第2図、第3図に示した両方式はともに、アドレスゲートラインに加えるべきアドレスゲートパルスの高さと幅が問題であった。いずれも SIT のドレイン・ゲート間に流れる直流電流を $X-Y$ アドレスによって検出する方式であり、特定の画素 C_{ij} の読み出し状態では、ビデオ電源 V_{DD} から負荷抵抗 R_L を通ってビデオライン3を流れ、スイッチ MOS 、信号読み出しライン SL_i を通って C_{ij} の SIT のドレ

イン・ソース間を流れる直流パスが存在している。

さらに本発明者らは、特願昭57-217758号に示すように第2図の動作方式を改良し、各々の信号読み出しライン SL_1 、 SL_2 、…、 SL_n のすべてに負荷抵抗とビデオ電源をそれぞれ接続し、垂直信号アドレスにおいて読み出される各信号読み出しライン上の並列信号出力を CCD に入力し、読み出し部分を CCD とする方式を提案した。しかし、この信号読みだし方式も、各画素のドレイン・ソース間を流れる直流電流を検出しており、かつ各信号読み出しライン上には同一の値の負荷抵抗とビデオ電源電圧を接続する必要があったため、構成、動作ともに複雑であった。



そこで、本願発明者は、一負荷、一ビデオバイアス電源で動作し、従来の直流電流を検出するのではなく、信号読み出しラインのキャパシタ C_{SL} の、プリチャージトランジスタによる充電と、ゲートアドレスパルス ϕ_{Gj} によりSITのドレイン・ソース間のインピーダンスが下がることによる放電（この中に光信号情報が含まれる）及び、スイッチMOSによるビデオ電源から負荷抵抗 R_L を通しての再充電による信号検出という完全にダイナミックな動作方式を見出し、従来の動作方法に比べ、構成、動作ともに容易であり、特に大容量のエリアセンサとしても動作的に安定、低スイッチングノイズ、低消費電力であることを見出した。プリチャージトランジスタを用いて、信号読み出しライン SL_i を一旦充電する理由は、光積分期間内において信号読み出しライン SL_i での電位が光強度に依存して変動するからであり、一旦、一定電位にもどした状態からゲートパルス ϕ_{Gj} を加えることで均一な信号が読み出される

からである。

本願発明の目的は、ゲート蓄積方式によるSITエリアセンサにおいて、信号読み出しラインのキャパシタのプリチャージトランジスタによる充電と、アドレスゲートパルスによる放電と、スイッチMOSトランジスタによる再充電によって完全にダイナミックに動作し、かつ一負荷、一電源によって出力信号が得られ、高速読み出しができ、完全ダイナミック動作のため低消費電力であり、大容量の画素エリアを安定に、均一に読み出すことのできる新しいSITエリアセンサの構成と、その動作方法を提供することである。

さらに本願発明の別の目的は、上記完全ダイナミックな動作を行なう新しいエリアセンサの信号読み出し部分を一負荷から読み出す代りにCCD出力とする構成を提供することである。

本願発明の概要を以下に説明する。ノーマリオフの静電誘導トランジスタとゲートキャパシタ C_G から構成された画素 C_{ij} を、 $X-Y$ マト

リックスに構成したゲート蓄積方式のSITエリアセンサにおいて、垂直アドレスゲートライン $GL_1, GL_2, GL_3, \dots, GL_n$ は各 GL_j 上の各画素 $C_{1j}, C_{2j}, C_{3j}, \dots, C_{nj}$ のゲートにゲートキャパシタ C_G を介して接続され、信号読み出しライン $SL_1, SL_2, SL_3, \dots, SL_n$ は、各 SL_i で（ $i=1 \sim n$ ）上の各画素 $C_{i1}, C_{i2}, C_{i3}, \dots, C_{in}$ を構成するSITのドレインに共通に接続され、さらに各信号読み出しラインは接地電位との間に所定のキャパシタ C_{SL} を持ち、かつ、各信号読み出しライン SL_i （ $i=1 \sim n$ ）は、プリチャージトランジスタ Q_P を介して所定の電源電圧 V_{DD} 端子に共通に接続されており、さらに各信号読み出しラインは二つの直列に接続されたスイッチトランジスタ Q_T 及び Q_S を介してビデオ出力ラインに共通に接続され、ビデオ出力ラインには一つの負荷抵抗 R_L 及び一つのビデオ電源 V_{DD} が接続されており、 Q_P のゲートはすべて共通に接続されており、さらに各ト

ランジスタ Q_T のゲート・ソース間には所定のキャパシタ C_T を持たせ、かつソース端子は接地電位との間にキャパシタ $C_{SL'}$ を持ち、各キャパシタの大小関係は $C_G < C_{SL'} \approx C_T < C_{SL}$ となされており、各アドレスゲートライン GL_1, GL_2, \dots, GL_n には垂直シフトレジスタより垂直シフトパルス $\phi_{G1}, \phi_{G2}, \phi_{G3}, \dots, \phi_{Gm}$ が印加され、各スイッチトランジスタ Q_S のゲートには水平シフトレジスタより、水平シフトパルス $\phi_{S1}, \phi_{S2}, \phi_{S3}, \dots, \phi_{Sn}$ が印加されることで $X-Y$ アドレスが行なわれるようになされた二次元固体撮像装置の構成において、信号読み出し時に、予め、トランスファパルス ϕ_T により Q_T をONし、 C_{SL} に並列に $C_{SL'}$ が電氣的に接続された状態において、予めプリチャージパルス ϕ_P によって Q_P をONさせて各信号読み出しライン $SL_1, SL_2, SL_3, \dots, SL_n$ のキャパシタ $C_{SL} + C_{SL'}$ をすべて所定の電圧レベルに充電した後、 GL_j 上に並んだ画素 $C_{1j}, C_{2j},$

C_{aj} 、…、 C_{nj} のゲートにゲートキャパシタ C_g を介してアドレスゲートパルス ϕ_{aj} を同時に印加することで、上記の各画素の S I T を導通させると、各 S I T のゲートに蓄積されていた光情報の増幅信号に対応した放電 ΔV_{SL} が $C_{SL} + C_{SL}'$ の一定電圧レベル V_{SL} から行なわれ、この後、 ϕ_T を切って Q_T を OFF した後、順次水平シフトパルス ϕ_{s1} 、 ϕ_{s2} 、 ϕ_{s3} 、…、 ϕ_{sn} を各スイッチトランジスタ Q_S のゲートに印加することによって、キャパシタ C_{SL}' の放電量をビデオ電圧 V_{DD} から負荷抵抗 R_L を介して再充電を行なうと、出力端子には、各画素 C_{1j} 、 C_{2j} 、 C_{3j} 、…、 C_{nj} の情報が順次得られることになる。以上の動作で一水平読み出し動作が完了し、次に同様にして、垂直アドレスゲートライン $GL_j + 1$ 上の各画素 C_{1j+1} 、 C_{2j+1} 、 C_{3j+1} 、…、 C_{nj+1} の画素信号が次の水平期間において順次読み出される。このようにして順次すべての画素を読み出すわけである。水平帰線期間において、リフレッ

シュゲートパルスを印加して、各画素列を同時にリフレッシュする機能をつけても良い。ゲートパルス ϕ_{aj} の高さの選定は、従来方式に比べ容易であり、2~3V程度で十分動作可能である。本方式の信号読み出しの特徴はアドレスゲートパルス ϕ_{aj} が印加されたと同時に各画素の画素情報はすべて読み出し信号ライン上のキャパシタに移る点であり、さらにスイッチトランジスタ Q_T の効果で、信号読み出し時の出力端での時定数は C_{SL}' を充電する時定数となっており、 $C_{SL} + C_{SL}'$ を充電するわけではないため高速化が容易である。さらに読み出しゲートパルス ϕ_{aj} の印加によって各画素の情報を読み出し信号ライン上に増幅された信号として出すまでの時定数は、S I T のドレイン・ソース間のインピーダンスを利用することから、オン抵抗 $R_{on(SIT)}$ は極めて小さく出来て、時定数 $R_{on(SIT)} \cdot (C_{SL} + C_{SL}')$ も極めて小さい。読み出しの速度が速く出来ることと、光出力が増幅された信号であることから大容量

のエリアセンサの構成も可能となり、 525×525 以上、 800×800 、 1000×1000 程度までのエリアセンサの構成は可能である。

本願発明は上記のような新しい構成と読み出し方式によって、高速読み出しができ、大容量化も可能なエリアセンサを提供するものである。本願発明による読み出し方式では各画素に直流電流を流して流れる電流を検出する方式ではなく、完全なキャパシタの充放電信号のみを扱っているため低消費電力となっている。

さらに上述の如く、ビデオライン上に一負荷、一ビデオバイアス電圧を接続して、一負荷から各画素信号をシリアル信号として取り出す方式以外に、上記のアドレスゲートパルス ϕ_{aj} の印加によって、各画素 C_{1j} 、 C_{2j} 、 C_{3j} 、…、 C_{nj} の光情報は、増幅された信号として各信号読み出しライン SL_1 、 SL_2 、…、 SL_n に対応したキャパシタ $C_{SL} + C_{SL}'$ の放電量として蓄積されることから、並列信号として各信

号読み出しライン上に出ているわけであり、これらの信号を CCD に同時に入力し、出力信号を CCD 出力として取り出すことも可能である。本願発明による 2 次元固体撮像装置の読み出し方式は各信号読み出しラインのキャパシタの充放電を利用することが基本的部分となっていることから、並列信号として各信号読み出しライン上に一次的に光情報が蓄積されており、これらのアナログ信号を CCD に同時に入力し、CCD アナログ出力として取り出す方式も本願発明の別の実施例として後述する。

第 4 図は本願発明による 2 次元固体撮像装置の信号読み出し方法の原理を説明するための図であり、第 4 図 (a) は一画素部分の動作回路、第 4 図 (b) は動作波形である。第 4 図 (a) において、一画素 C_{ij} はノーマリオフの静電誘導トランジスタとゲートキャパシタ C_g によって構成されており、アドレスゲートライン GL_j はゲートキャパシタ C_g を介して S I T のゲートに接続され、信号読み出しライン SL_i

はSITのドレイン30に接続されている。さらに信号読み出しラインSLiには二つのスイッチングトランジスタQp及びQsが接続されており、Qsのドレイン端子(出力端子)10には負荷抵抗RLを介してビデオバイアス電圧V_{DD}が印加されており、一方Qpのドレイン端子20にも一定バイアス電圧V_{DD'}が印加されている。ここで、信号読み出しラインSLiの寄生容量をC_{SL}と表示している。光入力hνによる画素Cijの情報はSITのゲートに蓄積される。次に読み出し動作を説明する。第4図(b)に示すように、画素Cijの光情報を読み出す際には、まずプリチャージパルスφ_pによってプリチャージトランジスタQpを導通させて、信号読み出しラインSLiを所定の電圧V_{DD'}-V_{thp}まで充電を行なう。ここでV_{thp}はプリチャージトランジスタQpの閾値電圧である。次にアドレスゲートラインGLj上にアドレスゲートパルスφ_{aj}を加え、画素CijのゲートキャパシタC_Gを介してSITのゲート部分

31にゲートパルスを加え、SITを導通させると、SITのドレイン30とソース32間のインピーダンスが下がることからキャパシタC_{SL}に、予めプリチャージされた電圧V_{DD'}-V_{thp}は放電する。このとき、SITのゲート31に蓄積されていた光情報としてのキャリアによるゲート電位は、外部からのアドレスゲートパルスφ_{aj}によって加算されてゲート電位を上昇させるため、SITのドレイン30、ソース32間を流れる放電電流は、光強度が強いもの程、大きくなる。入射光電流をI_Lとし、SITのゲートの周囲のpinダイオードの逆方向飽和電流をI_sとすると、光入射によって発生したキャリアによるSITのゲート31の電位上昇分ΔV_Gはほぼ次式で与えられる。ここでRはボルツマン定数、Tは絶対温度、qは単位電荷量を表わす。

$$\Delta V_G = \frac{kT}{q} \ln \left(1 + \frac{I_L}{I_s} \right) \quad \dots (1)$$

一方、ノーマリオフSITのゲート電圧V_G

とドレイン電流I_Dの関係は、指数関数関係にあり、

$$I_D \propto \exp \frac{qV_G}{kT} \quad \dots (2)$$

で表わされる。ここでV_Gはゲート電圧が真性ゲート点に及ぼす割合を示す。

一方、入射光電流I_Lは光強度が弱い場合は入射強度P(μW/cm²)に比例するから、上記の読み出し動作において、SITのドレイン30とソース32間を流れる放電電流I_{DC}は入射光電流I_Lと

$$I_{DC} \propto \exp \frac{qV_G}{kT} \Delta V_G = \frac{qV_G}{kT} \left\{ \frac{kT}{q} \ln \left(1 + \frac{I_L}{I_s} \right) \right\}$$

$$I_{DC} \propto \left(1 + \frac{I_L}{I_s} \right)^n \quad \dots (3)$$

ノーマリオフSITの場合n≈1としてよいから、V_{DD'}-V_{thp}に充電されたキャパシタC_{SL}の放電電流I_{DC}は入射光電流I_L、あるいは入射光強度P(μW/cm²)に比例することがわかる。

第4図(b)においてV_{SLi}の波形はC_{SL}

の両端の電圧波形、あるいは信号読み出しラインSLiの電圧変化を示しており、アドレスゲートパルスφ_{aj}の印加とともにaの点線、bの一点鎖線、cの実線のように変化してV_{DD'}-V_{thp}の電圧から、電圧降下を起こしているのは、aは暗電流状態、bは通常の光強度の場合、cは飽和露光状態の場合にそれぞれ対応している。この放電の時定数は、第4図の回路ではSITのドレイン・ソース間のオン抵抗R_{on(SIT)}とC_{SL}の積でほぼ決まる。暗電流状態においては、第4図(b)の点線に示す如くアドレスゲートパルスφ_{aj}が印加されても、SITが導通しないことが望ましい条件である。暗電流状態において、アドレスゲートパルスφ_{aj}の印加のみで、C_{SL}の放電が起こるとすると、暗電流信号が、出力波形上に現れ、通常の光信号との間のS/Nが悪くなるからである。

上述のようにアドレスゲートパルスφ_{aj}の印加によってC_{SL}を放電させた後、このC_{SL}の放電量を再充電することによって外部抵抗

R_L の両端には再充電信号が現れる。

スイッチングトランジスタ Q_s のゲートへの読み出しアドレスパルス ϕ_{si} の印加によって、 Q_s を導通させると、キャパシタ C_{SL} へは、 $V_{DD} - V_{thS}$ までの電圧が充電される。ここで V_{thS} は、スイッチングトランジスタ Q_s の閾値電圧である。通常は

$$V_{DD} - V_{thS} = V_{DD'} - V_{thp} \dots (4)$$

となるように選ぶ。第4図(b)の V_{SLi} の波形には、 C_{SL} が、 ϕ_{si} の印加によって再充電される様子が示されており、この再充電と同時に負荷抵抗 R_L の両端には V_{out} (拡大波形) で示された信号が検出される。a、b、c はそれぞれ放電量に対応した波形であり、a は暗電流状態、b は通常の光強度の場合、c は飽和露光状態に対応している。

以上が本願発明による読み出し動作の基本的動作である。

上述の説明から明らかなように、本願発明の信号読み出し方法では、信号読み出しライン S

Li の寄生キャパシタ C_{SL} を利用しており、プリチャージトランジスタ Qp による C_{SL} の充電、アドレスゲートパルス ϕ_{sj} による C_{SL} の光情報に比例した放電、スイッチングトランジスタ (信号読み出しライン SLi の選択用トランジスタ) Qs を介した C_{SL} の再充電によって内部の画素 C_{ij} の情報を負荷抵抗 R_L に取り出している。プリチャージトランジスタ Qp を介して、読み出し時に、常に信号読み出しライン SLi の電位を所定の電位に充電し、SITのドレイン30、ソース32間に一定電圧が加わるように設定した状態からゲートパルス ϕ_{sj} のアドレスを行なう点が、安定で、均一な信号を得られる特徴となっている。 C_{SL} の放電量の読み出しは極めて容易にスイッチトランジスタ Qs を介して行なわれる。第4図の動作の組合出力端子10における出力波形 V_{out} の時定数は、負荷抵抗 R_L 、 Qs のオン抵抗 R_{ons} 及び信号読み出しライン SLi の寄生容量 C_{SL} によって、 $(R_L + R_{ons}) \cdot C_{SL}$ 程度であ

る。

次に、第4図に示された動作原理に基づく本願発明の実施例を第5図に示す。第5図は、本願発明によるSITエリアセンサの構成を示している。 $m \times n$ のマトリックス状に配列された各画素 C_{ij} はノーマリオフの静電誘導トランジスタとゲートキャパシタ C_g から構成されており、各SITのゲートはアドレスゲートライン $GL1$ 、 $GL2$ 、 $GL3$ 、…、 GLm とゲートキャパシタ C_g を介して m 列に接続され、一方各SITのドレインは信号読み出しライン $SL1$ 、 $SL2$ 、 $SL3$ 、…、 SLn と n 列に接続されている。各SITのソースは全画素共通に接地電位になされている。さらに各信号読み出しライン SLi 上にはプリチャージ用トランジスタ Qp と二つのスイッチ用トランジスタ Q_T 及び Q_s が接続されており、 Qp のゲートライン54は、各信号読み出しライン SLi で上のプリチャージトランジスタ Qp のゲートにおいてすべて共通に接続されるようになされ、ス

ッチ用トランジスタ Q_T のゲートライン53も各信号読み出しライン上のスイッチトランジスタ Q_T のゲートにおいてすべて共通に接続されるようになされている。各スイッチトランジスタ Q_s のゲートには水平シフトレジスタ50からの信号読み出しライン選択パルス列 ϕ_{s1} 、 ϕ_{s2} 、 ϕ_{s3} 、…、 ϕ_{sn} が印加されるように構成されており、各スイッチトランジスタ Q_s のドレイン端子は共通にビデオ出力ライン51に接続され、このビデオ出力ライン51上には一負荷 R_L とビデオバイアス電源 V_{DD} が接続されている。信号出力は負荷抵抗 R_L の両端より得られる。垂直シフトレジスタ52からは、各アドレスゲートライン $GL1$ 、 $GL2$ 、 $GL3$ 、…、 GLm 上へアドレスゲートパルス ϕ_{g1} 、 ϕ_{g2} 、 ϕ_{g3} 、…、 ϕ_{gm} が印加されるように構成されている。さらに詳しく説明すると、各プリチャージトランジスタ Qp のドレイン端子は共通にプリチャージ電圧 $V_{DD'}$ の与えられた電源ライン55に接続されている。

第5図において、各信号読み出しライン SL_1 、 SL_2 、 SL_3 、…、 SL_n の寄生キャパシタは C_{SL} と表現されており、スイッチトランジスタ Q_T のゲート・ドレイン間キャパシタを C_T 、 Q_T のドレイン及び Q_S のソース端子が接地電位との間に持つキャパシタを $C_{SL'}$ と表現されている。各キャパシタの大小関係は、有効に各画素の光情報をビデオライン51に取り出すために

$$C_G < C_{SL} \approx C_T \leq C_{SL'} \quad \dots \dots (5)$$

としている。さらに各プリチャージトランジスタ Q_P の閾値電圧を V_{thp} 、スイッチトランジスタ Q_T 、及び Q_S の閾値電圧を V_{tht} 、 V_{ths} とし、プリチャージパルス ϕ_P の高さを $V_{DD'}$ 、転送ゲートパルス ϕ_T の高さを $V_{DD'}$ 、各水平シフトパルス ϕ_{S1} 、 ϕ_{S2} 、…、 ϕ_{Sn} の高さを V_{DD} に等しいと仮定すると、

$$V_{DD'} - V_{thp} - V_{tht} = V_{DD} - V_{ths} \quad \dots \dots (6)$$

となるように電源電圧の値を選定している。逆に言うと、信号読み出しライン SL_i がプリチ

ャージされ、キャパシタ $C_{SL'}$ が充電される電圧レベルは、スイッチトランジスタ Q_S の導通により再充電される電圧レベルに等しくなるように、 $V_{DD'}$ 、 ϕ_P の高さ、 V_{thp} 、 V_{tht} 、 ϕ_T の高さ、 V_{ths} 、 ϕ_{Si} ($i=1 \sim n$)の高さを選定することで、安定で均一な条件における読み出しが行われるわけである。各画素を構成するSITは互いに画素信号の分離がなされるべく、同一半導体基板内において互いにドレイン及びゲートは分離されている。同一の信号読み出しライン SL_i に接続されるSITのドレインのみは電気的に共通になされている。

第6図は第5図に示された本願発明による2次元固体撮像装置の読み出し動作波形の一例を示す。第6図に示した動作波形では、 $M \times N$ のマトリックス状に配列された画素の光情報を順次(C_{11} 、 C_{21} 、 C_{31} 、…、 C_{n1})、(C_{12} 、 C_{22} 、 C_{32} 、…、 C_{n2})、…(C_{1j} 、 C_{2j} 、 C_{3j} 、…、 C_{nj})、(C_{1j+1} 、 C_{2j+1} 、 C_{3j+1} 、…、 C_{nj+1})、…(C_{1n} 、 C_{2n} 、 C_{3n} 、…、 C

n_m)と読み出していく場合の読み出し動作波形を示している。同様の信号読み出しラインの寄生キャパシタ C_{SL} 、もしくは $C_{SL} + C_{SL'}$ の充放電を利用する動作原理を応用して、読み出し信号ラインを一本切に飛び越し走査を行なう等の改良型も存在するが、本質的な部分は第6図において、示されている。さらに第6図の動作波形を改良する方法も存在する。一例として、第3図において説明したように、一水平読み出し期間後のわずかに数 μsec 存在する一水平消滅期間において、 ϕ_{Gj} のパルス高さよりも高いパルス、例えば2.5V以上、パルス幅数 μsec 以内のリフレッシュパルスを同一信号ライン GL_j 上加える機能を各アドレスゲートパルスに加える方法も存在する。本願発明による信号読み出し方式においては、アドレスゲートパルス ϕ_{Gj} が加わってから、充分 ϕ_{Gj} のパルス幅(数 μsec 以下)以内の短い時間内において各画素の光情報はキャパシタ C_{SL} 、 $C_{SL'}$ へ移行しており、第3図に示されるような

殆んど一水平期間にわたってゲートパルス ϕ_{Gj} を加えつづける必要はない。従って本願発明における動作波形では第3図に示したような波形ではなく、アドレスゲート時に ϕ_{Gj} (高さ2V、パルス幅数 μsec 以内)を加え、ほぼ一水平期間経過後の水平消滅期間において、同一ライン上に ϕ_{Gj} よりも高い(2.5V以上、数 μsec 以内)リフレッシュパルスを加えることになる。しかし、最も簡単には、第6図に示されるように ϕ_{Gj} としてパルス高さ2.5V以上、パルス幅数 μsec 以内のアドレスゲートパルスを用いれば、 ϕ_{Gj} のアドレス時に、殆んどのゲートに蓄積されたキャリアはリフレッシュされるため、リフレッシュゲートパルスを水平消滅期間に加える必要はなくなる。ゲートのパルス高さは高くなるにつれてスイッチングに伴うスパイクノイズが大きくなるため、スイッチングスパイクノイズが問題となる場合にはアドレスゲートパルス ϕ_{Gj} の高さは2V以内に抑え、一水平消滅期間においてリフレッシュパ

ルスを加える機能が有効になるわけである。従って、ここでは最も簡単な動作波形を第6図に示してある。

第6図の動作を説明する。第5図の構成で、第4図の原理図と異なる点は、信号読み出しライン SL_i ($i=1\sim n$)上にスイッチ用トランジスタ Q_T が付加されている点であるが、これは次のような理由による。同一信号読み出しライン SL_i には n 個の SIT が接続されているが、光検出状態においては、 SL_i と接地点との間のインピーダンスは各 SIT に光が照射されて、ゲートにキャリアが蓄積されることによって各 SIT のソース・ドレイン間のチャンネル内に存在する電位障壁の高さが減少するため、光積分とともに、次第に減少してくる。 SL_i と接地点との間のインピーダンスが減少すると $C_{SL} + C_{SL'}$ に予めプリチャージされた電位が放電されることになるが、この放電量は、一列分の光情報の和に相当したものであり、どの画素の光情報であるかを特定することはで

きなくなってしまう。一方、光情報は各 SIT のゲートに蓄積されるため SL_i の電位が変動しても殆んど失われることはない。水平シフトパルス ϕ_{s1} が加わってから ϕ_{sn} が加わるまでの時間は略々水平期間に等しく、TV信号では $60\mu\text{sec}$ 程度である。従って、第4図に示した原理図のままで、プリチャージ信号により信号読み出しライン SL_i ($i=1\sim n$)がプリチャージされて GL_j がアドレスされ ϕ_{s1} により初めの画素 C_{1j} が読み出されてから、 ϕ_{sn} により C_{nj} が読み出されるまでの間に、後半の信号読み出しライン程、予めプリチャージされた電圧レベルが放電しやすくなっているわけである。特に SL_n のラインのプリチャージ電位は、 ϕ_{sn} によって C_{nj} が読み出されるまでの $60\mu\text{sec}$ 程度は一定に保たれる必要があり、その間、同一 SL_n ラインに接続された他の画素の光受光による影響は極力抑えられなければならない。しかし、実験的に明らかになったことであるが、一水平ライン SL_i に

並べる画素が増加すればするほど光積分とともに SL_i と接地点のインピーダンスは下がるわけで、一水平期間である $60\mu\text{sec}$ 程度の時間といえども無視できるものではない。そこで新たに第5図に示されたスイッチトランジスタ Q_T を挿入し、予め信号読み出しラインをプリチャージする際に、寄生キャパシタ $C_{SL} + C_{SL'}$ を充電しておき、充電後ただちにアドレスゲートパルス ϕ_{Gj} を印加して、各画素 C_{1j} 、 C_{2j} 、 C_{3j} 、 \dots 、 C_{nj} の光情報を各信号読み出しライン SL_1 、 SL_2 、 SL_3 、 \dots 、 SL_n の寄生キャパシタ $C_{SL} + C_{SL'}$ の放電量として蓄積させ、その後、ただちに Q_T をオフさせ、キャパシタ $C_{SL'}$ にのみ各画素の情報を蓄積させて、 ϕ_{s1} 、 ϕ_{s2} 、 \dots 、 ϕ_{sn} によって C_{SL} の放電量とは無関係に出力ラインに各画素の情報を取り出す方式を実施したわけである。本方式の動作波形を第6図は二つの水平期間にわたって示している。

時刻 t_1 において ϕ_T を印加して、各信号読

み出しライン上のスイッチトランジスタ Q_T を同時に導通させ、時刻 t_2 において ϕ_P を印加して、各信号読み出しライン上のプリチャージトランジスタを同時に導通させて、各信号読み出しラインのキャパシタ $C_{SL} + C_{SL'}$ を所定のプリチャージ電圧レベルまで充電を行なう。その後、時刻 t_3 においてアドレスゲートパルス ϕ_{Gj} によって画素 C_{1j} 、 C_{2j} 、 C_{3j} 、 \dots 、 C_{nj} の各 SIT を同時に導通させて、各 SIT のゲートに蓄積されていた光情報を寄生キャパシタ $C_{SL} + C_{SL'}$ の放電量として各信号読み出しライン SL_1 、 SL_2 、 \dots 、 SL_n 上に移行させ、その後ただちに時刻 t_4 において Q_T をオフさせて、 C_{SL} と $C_{SL'}$ の分離を行なう。その後時刻 t_5 、 t_6 、 t_7 、 \dots において順次 ϕ_{s1} 、 ϕ_{s2} 、 ϕ_{s3} 、 \dots 、 ϕ_{sn} の水平シフトパルスを各信号読み出しライン上のスイッチトランジスタ Q_S のゲートに加えることで、ビデオ電圧 V_{DD} から各キャパシタ $C_{SL'}$ の放電量を再充電することで、負荷抵抗

R_L の両端において出力電圧 V_{out} を得ることができる。同様にして、次の水平期間において、次の画素列 C_{1j+1} 、 C_{2j+1} 、 C_{3j+1} 、…、 C_{nj+1} が読み出される。

実際に用いられる時間的数値を述べると、TV信号の場合、画素数は 500×500 程度必要であることから、一水平読み出し期間は $65 \mu\text{sec}$ 程度となる。本願発明のSITのエリアセンサにおいて一画素の読み出し時定数は、数 10nsec は容易に実現されており、 ϕ_T のパルス幅は、 ϕ_P のパルス幅、 ϕ_G のパルス幅の和程度としても $5 \mu\text{sec}$ 以下で充分である。従って本方式による読み出し方式を用いれば、 500×500 画素程度の画像情報は容易にTV信号を用いて読み出される。本方式の場合、 ϕ_S のパルスによって読み出される際の時定数は、前述の如く、 $C_{SL'}$ を充電する時定数となっており、 $C_{SL} + C_{SL'}$ を充電するわけではないため高速化が容易であり、数 10nsec 程度の時定数は容易に実現される。さらに高速化を計

るためにはビデオ出力ライン51の寄生キャパシタンス、実効抵抗を下げる。

次に本願発明の別の実施例を第7図に示す。第7図が第5図の実施例と大きく異なる点は、第5図においては各画素の信号はビデオライン51上の一負荷 R_L 及びビデオ電圧 V_{DD} から読み出されていたのに対し、第7図の実施例では、各信号読み出しライン SL_1 、 SL_2 、…、 SL_n 上にスイッチトランジスタ Q_T 及び Q_S を直列接続し、さらに Q_S のドレインをCCD70の各蓄積領域701、702、703、…、70nへ入力している点である。CCD70は2相クロック ϕ_{H1} 、 ϕ_{H2} により動作し、各蓄積領域を形成する電位井戸内へ各信号読み出しラインの寄生容量の一部 $C_{SL'}$ に蓄積された画素情報(C_{1j} 、 C_{2j} 、 C_{3j} 、…、 C_{nj} の情報)を各スイッチトランジスタ Q_S の共通ゲートライン74に印加される転送パルス ϕ_{G0} によって並列に同時転送し、一水平期間内に同時転送されたCCDの電位井戸内の情

報を、順次2相クロック ϕ_{H1} 、 ϕ_{H2} によって出力バッファ72へ送出し、次の水平期間においては、次の画素列(C_{1j+1} 、 C_{2j+1} 、…、 C_{nj+1})の情報を順次出力バッファ72へ転送して読み出すわけである。このようにして全面素を読み出している。予めトランスファパルス ϕ_T によってスイッチトランジスタ Q_T を導通させた後、プリチャージパルス ϕ_P によってプリチャージトランジスタを導通させることで各信号読み出しライン SL_1 、 SL_2 、 SL_3 、…、 SL_n の容量 $C_{SL} + C_{SL'}$ を所定の電位レベルに充電させた後、ただちにアドレスゲートパルス ϕ_{Gj} をアドレスゲートライン GL に加えて画素 C_{1j} 、 C_{2j} 、…、 C_{nj} を蓄積光情報を $C_{SL} + C_{SL'}$ からの放電量として各信号読み出しライン SL_1 、 SL_2 、 SL_3 、…、 SL_n 上に蓄積させた後、ただちにトランスファパルス ϕ_T を切って、スイッチトランジスタ Q_S のゲートライン74にゲートパルス ϕ_{G0} を印加すると各 $C_{SL'}$ に蓄積されていた画素 C

$1j$ 、 C_{2j} 、 C_{3j} 、…、 C_{nj} の情報は同時に並列にCCD70の各蓄積部701、702、703、…70nへ入力されるわけである。CCD70のクロック ϕ_{H1} 、 ϕ_{H2} の速度が上がれば、より高速の読み出しが行なわれることになる。第7図の実施例の変形例としては、並列に同時に一列分の画素情報をCCDに入力するのではなく、いくつかの画素ずつブロック毎に分けて別々のCCDに入力する方式等が可能である。この場合には、より高速な画像検出が行なわれるが、SITエリアセンサの構成としては周辺部分が複雑となる。

本願発明の実施例においては、光入力は連続光として説明してきたが、当然のことながら一定時間の光入力に対する画像検出も本願発明による2次元固体撮像装置を用いて行えることは明らかである。

本願発明の画素の構成要素として用いられる静電誘導トランジスタは半導体材料を用いて形成された縦型構造のものが望ましい。当然のこ

とながら、Si材料のみならず、Ge、InSb、HgCdTe等の他の材料を用いて赤外光画像検出も可能である。SITのゲート構造としては、従来のpn接合単一ゲート、分割ゲート、一部分にpn接合を含むMISゲート構造でも良い。さらにゲート部分をチャンネル領域に比べ禁制帯幅の広い半導体としても良い。例えば、チャンネル領域をGaAs、ゲート領域を格子整合されたGaAlAsPとする等々である。

第8図及び第9図は本願発明による構成の2次元固体撮像装置を用いて特定の画素情報の信号を読み出した場合の特性を示している。画素の構造はSi内に縦型に形成された静電誘導トランジスタとSITのゲート p^+ 拡散領域上に透明 SnO_2 電極/Si $_3N_4$ 膜/ P^+ SiからなるMISゲートキャパシタを付加された構造から形成されており、寸法は約 $50\mu \times 50\mu$ 程度で、ソース長は 100μ としている。Si $_3N_4$ 膜の厚さは約 700\AA 程度である。

しており、 $V_{DD'} - V_{thp} - V_{ths} = 1V$ である。第9図の動作条件では $C_g < C_{SL'} \approx C_T \leq C_{SL}$ としており、 $C_{SL'} = 50pF$ の条件のとき最も良好である。

第8図、第9図は本願発明の2次元固体撮像装置による読み出し方法を用いた結果の一例である。前述の(5)式、(6)式の条件を満たすことで良好な特性が得られることがわかる。

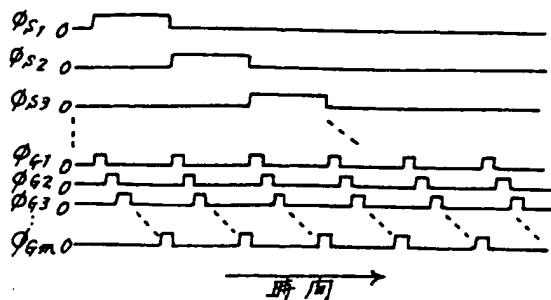
本願発明による2次元固体撮像装置は、キャパシタの充放電を利用する完全ダイナミックな動作となっているため、従来の構成及び読み出し方式に比べ低消費電力であり、プリチャージを行なうことから、安定で均一な信号が得られ、また、電圧レベルは低く抑えられることからスイッチングに伴うスパイクノイズも低減され、読み出しに關係する容量が小さくできることから高速読み出しが可能であり、大容量、高速、低消費電力という特徴を有する固体撮像装置であり、工業的価値の高いものである。

4. 図面の簡単な説明

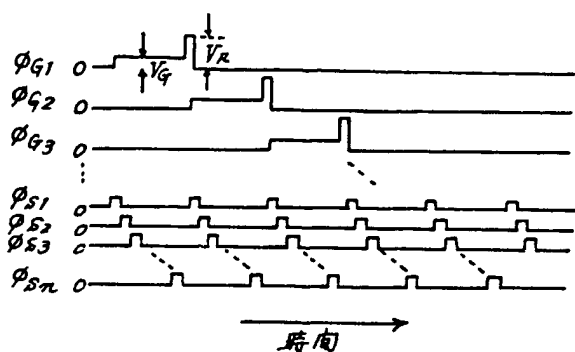
このような画素は互いに絶縁及びpn接合分離されている。このような画素をマトリックス状に形成し、その中の一面素についての出力電圧 V_{out} のピーク値を光強度 $P(\mu W/cm^2)$ に対して、信号読み出しラインのキャパシタ C_{SL} に対する $C_{SL'}$ の比をパラメータとしてプロットしたものが第8図である。この実験においては $C_{SL} - C_{SL'} = 50pF$ とし、 $V_{DD'} - V_{thp} - V_{ths} = 1V$ としている。光積分時間は、 $11.2msec$ である。第8図で ϕ_T のバース幅は $5\mu sec$ 、 ϕ_s のバース幅は $350nsec$ としている。 $C_T / C_{SL'}$ の比が大きくなるにつれて、出力電圧が飽和レベル1Vに近づく傾向が見られる。第8図の動作条件では $C_g < C_T \leq C_{SL'} = C_{SL}$ としている。第9図は同様にマトリックス状に形成された本願発明による2次元固体撮像装置において、一面素を読み出した場合の出力電圧 V_{out} と光強度 $P(\mu W/cm^2)$ との關係を $C_{SL'}$ の値をパラメータとして示したものである。光照射時間は同じく $11.2msec$ と

第1図は従来型SITエリアセンサの構成を示す図、第2図は第1図の構成における従来型読み出し方法による動作波形の一例を示す図、第3図は別の動作波形例を示す図、第4図は本願発明による読み出し方法の原理説明図であり、第4図(a)は動作回路、第4図(b)は読み出し動作波形を示す図、第5図は本願発明によるSITエリアセンサの構成例を示す図、第6図はその読み出し動作波形の一部分を示す図、第7図は、本願発明の別の実施例であって、出力信号をCCDを利用して取り出す構成例、第8図は本願発明による2次元固体撮像装置において、本願発明の読み出し方法により読み出された出力信号と光強度 P との關係を $C_T / C_{SL'}$ の比をパラメータとして示したものであり、第9図は同様に $C_{SL'}$ の値をパラメータとして示したものである。

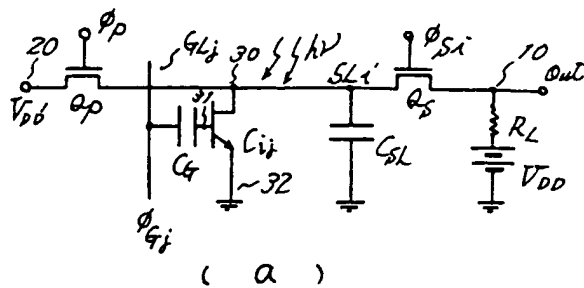
50…水平シフトレジスタ、51…出力ビデオライン、52、73…垂直シフトレジスタ、53、75…トランスファバース ϕ_T 印加用ゲート



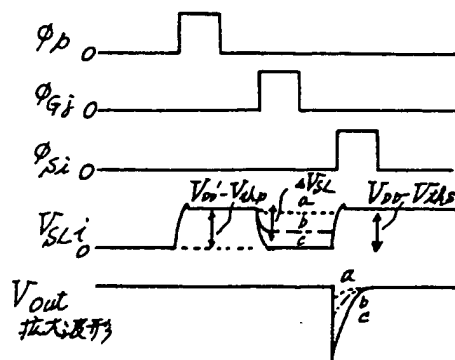
第 2 図



第 3 図

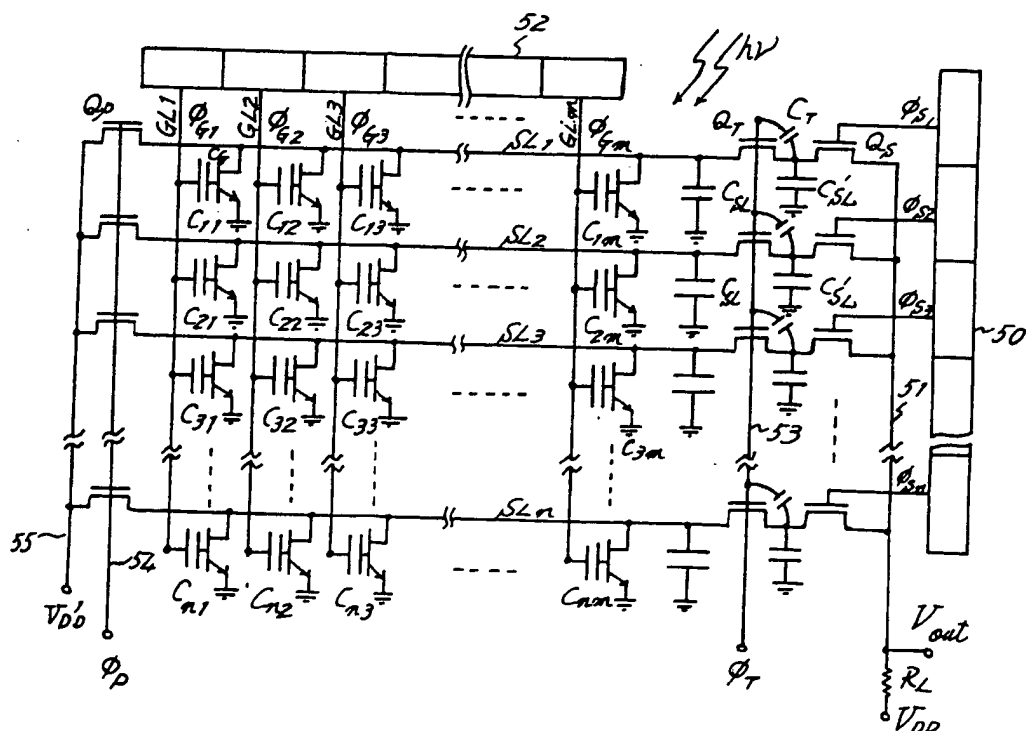


(a)



(b)

第 4 図



第 5 図

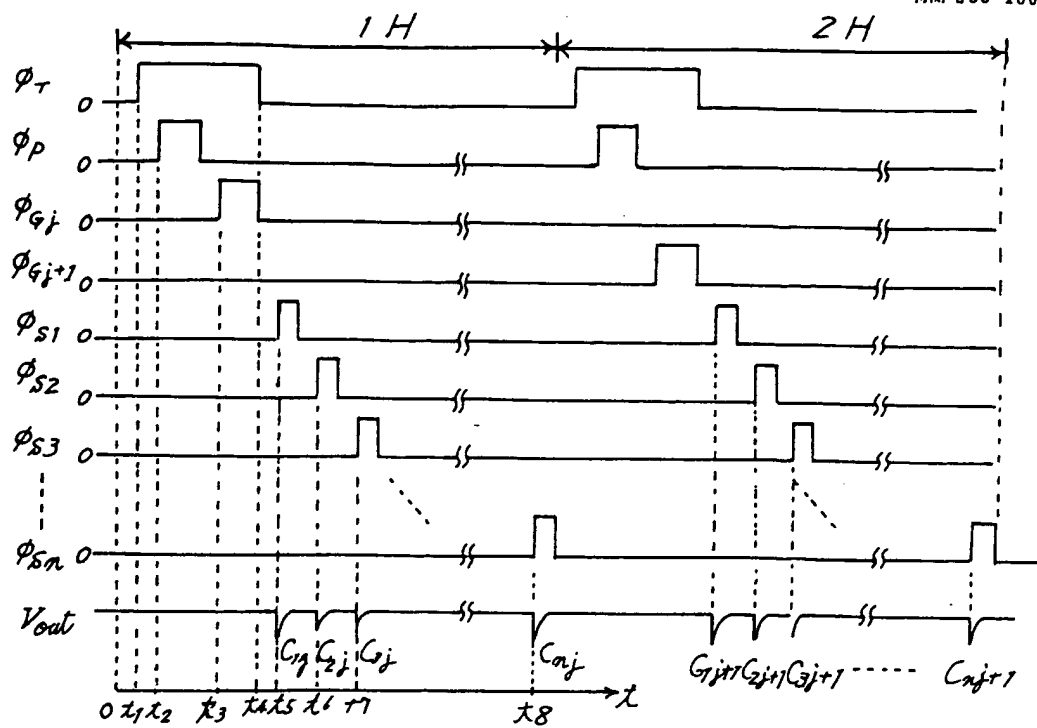


図 6

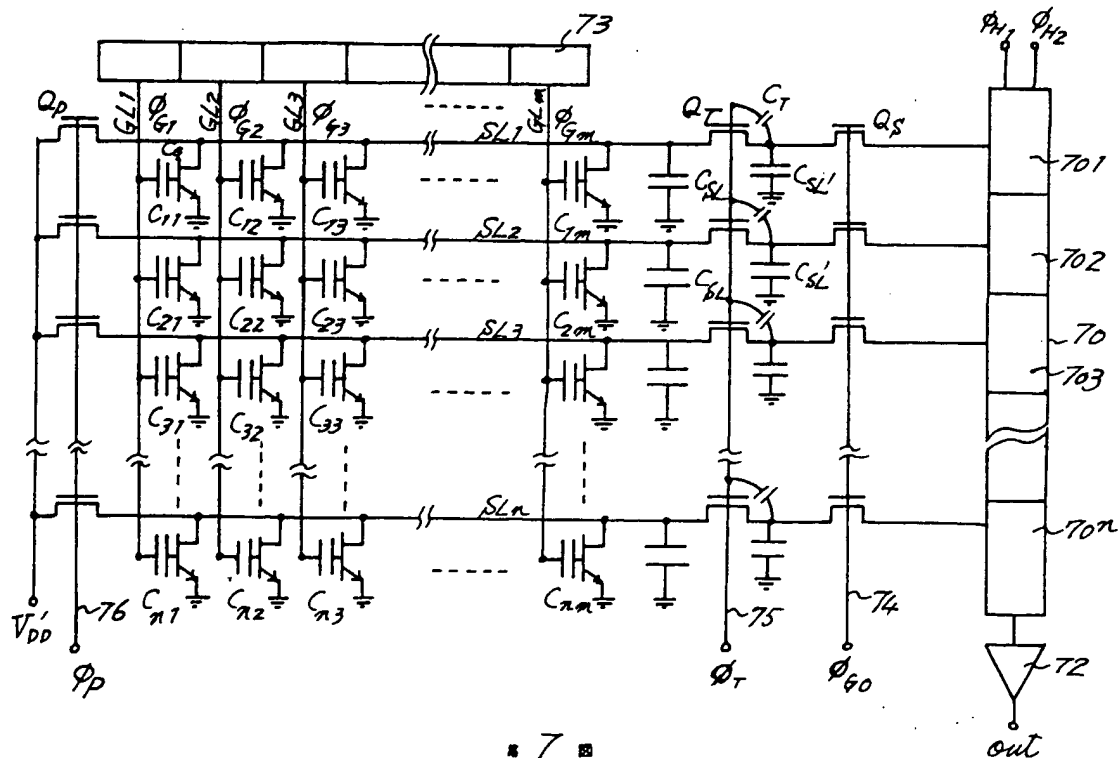


図 7

